

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017166

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H01L 29/78

(21)Application number : 09-165800

(71)Applicant : NEC CORP

(22)Date of filing : 23.06.1997

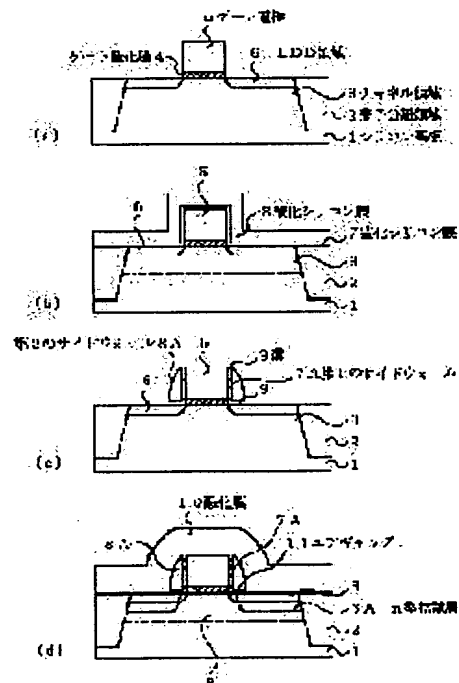
(72)Inventor : ONO ATSUKI

## (54) MANUFACTURING FOR SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device, in which an air gap for reducing effectively a parasitic capacity is formed with good controllability in a simple method.

**SOLUTION:** An element separation region 2 and a channel region 3 are formed on a silicon substrate 1, and a gate electrode 5 is formed with a gate oxide film 4 in between. A silicon nitride film 7 and a silicon oxide film 8 are formed all over the substrate 1. In an etching-back step, first and second side walls 7A and 8A are formed. The first side wall 7A made of nitride film is partly etched by phosphorous to form a groove 9. Then, an oxide film 10 is formed all over thereon.



## LEGAL STATUS

[Date of request for examination]

23.06.1997

[Date of sending the examiner's decision of rejection]

18.01.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

“  
•  
decision of rejection]  
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17166

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 G

審査請求 有 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平9-165800

(22) 出願日 平成9年(1997) 6月23日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小野 篤樹

東京都港区芝五丁目7番1号 日本電気株式会社内

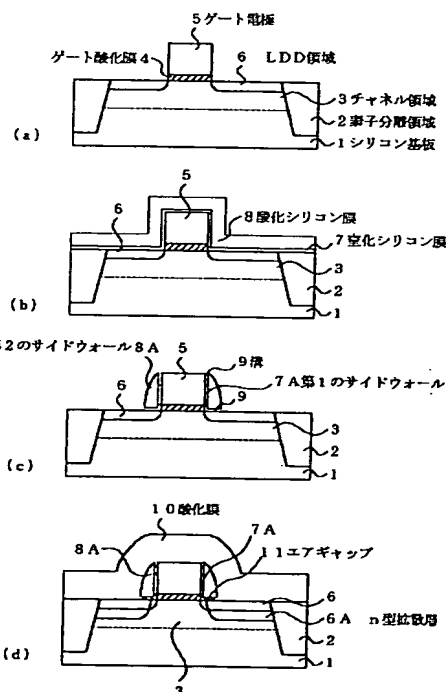
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 寄生容量を低減する為のエアギャップを制御性よく形成するのが困難である。

【解決手段】 シリコン基板1に素子分離領域2、チャネル領域3を形成した後、ゲート酸化膜4を介してゲート電極5を形成し、次で全面に窒化シリコン膜7、酸化シリコン膜8を形成し、エッチバックして第1及び第2のサイドウォール7A、8Aを形成し、次でリン酸で窒化膜からなる第1のサイドウォール7Aを部分的にエッチングして溝9を形成し、次で全面に酸化膜10を形成する。



## 【特許請求の範囲】

【請求項 1】 半導体基板上にゲート酸化膜を介して多結晶シリコンからなるゲート電極を形成する工程と、このゲート電極を含む全面に第 1 の絶縁膜と第 2 の絶縁膜とを順次形成する工程と、前記第 2 及び第 1 の絶縁膜をエッチバックし前記ゲート電極の側面に第 2 及び第 1 のサイドウォールを形成する工程と、前記第 1 のサイドウォールの露出面を部分的にエッチングし溝を形成する工程と、全面に第 3 の絶縁膜を形成し前記溝部にエアギャップを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 第 1 の絶縁膜は窒化シリコン膜であり第 2 及び第 3 の絶縁膜は酸化シリコン膜である請求項 1 記載の半導体装置の製造方法。

【請求項 3】 半導体基板上にゲート酸化膜を介して多結晶シリコンからなるゲート電極を形成する工程と、このゲート電極を含む全面に第 1 の絶縁膜を形成する工程と、この第 1 の絶縁膜の表面を熱処理したのち全面に第 2 の絶縁膜を形成する工程と、前記第 2 及び第 1 の絶縁膜をエッチバックし前記ゲート電極の側面に第 2 及び第 1 のサイドウォールを形成する工程と、前記第 1 のサイドウォールの露出面を部分的にエッチングし溝を形成する工程と、全面に第 3 の絶縁膜を形成し前記溝部にエアギャップを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】 第 1 の絶縁膜は窒化シリコン膜であり第 2 及び第 3 の絶縁膜は酸化シリコン膜である請求項 3 記載の半導体装置の製造方法。

【請求項 5】 酸化性雰囲気により第 1 の絶縁膜の表面を熱処理する請求項 3 記載の半導体装置の製造方法。

【請求項 6】 酸化性雰囲気として酸素または  $N_2O$  ガスを用いる請求項 5 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に、高集積で寄生容量の低減された半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 半導体装置の大規模化に伴い、半導体素子は微細化されてきている。微細化に伴って半導体素子の性能は、その寄生成分、即ち、寄生抵抗や寄生容量によって影響を受けるようになる。大規模な集積回路の高性能化、即ち、演算の処理速度を向上するためには、回路自身の高速動作が必要となる。即ち、半導体素子は高速でスイッチング動作しなくてはならないが、これは、基本的にはスイッチング素子としての半導体素子の抵抗と、その半導体素子に接続しているゲート容量の積、即ち、 $CR$  時定数が小さいほど高速動作が可能となる。つまり、半導体素子を微細化することによって、この  $CR$  時定数を小さくすることで、高速化という性能向上をし

ているわけである。

【0003】 しかし、実際には、寄生抵抗や寄生容量が存在し、これらが、素子の微細化とともに低減されないで、回路性能は微細化したほど向上しないといった事態が生じてくる。例えば、寄生容量に関しては、ゲート電極とソース・ドレイン領域である拡散層領域との間のフリンジ容量が大きな問題となってきた。

【0004】 これに対して、このゲート電極とソース・ドレイン間の寄生容量を低減する MOSFET 構造として、特開平 7-193233 号公報に示されるように、エアギャップを形成する構造が提案されている。

【0005】 このトランジスタは図 3 に示すように、 $Si$  基板上にゲート絶縁膜を介して側壁  $Si_3N_4$  膜を設けたゲート電極 20 を形成し、イオン注入によりソース・ドレイン 30 を形成したのち選択エピタキシャルでソース・ドレイン上にせり上げ部を作り、次で  $Si_3N_4$  膜を除去したのち CVD 酸化膜 70 を堆積し、 $Si_3N_4$  膜除去部を真空とするものである。

【0006】 この構造では、MOSFET のサイドウォール部が除去されており、ゲート・ソース・ドレイン間のフリンジ容量は比誘電率が 3.9 の酸化膜が詰まっている場合よりも低減でき、その結果寄生容量が低減する。また、選択  $Si$  成長技術を用いない方法として、1996 シンポジウム オン VLSI テクノロジー、ダイゲスト オブ テクニカル ペーパーズ (1996 Symposium On VLSI Technology, Digest of technical papers) に東郷らが報告したように、MOSFET のサイドウォールをエッチングしてゲート多結晶シリコンの周囲に隙間、即ち、エアギャップを形成する構造がある。以下図 4 を用いて説明する。

【0007】 まず図 4 (a) に示すように、シリコン基板 1 上にゲート酸化膜 4 を介してゲート電極 5 を形成したのち、その側面に窒化シリコン膜 17 からなる第 1 のサイドウォールを形成する。次で図 4 (b) に示すように、第 1 のサイドウォールの側面に酸化シリコン膜 18 からなる第 2 のサイドウォールを形成する。次に図 4 (c) に示すように、第 1 のサイドウォールをエッチングし、ゲート電極 5 の周囲にエアギャップ 11A を形成する。

## 【0008】

【発明が解決しようとする課題】 しかし、図 3 に示した前者の方法では、ソース・ドレイン領域に  $Si$  選択成長を用いなくてはならず、工程が複雑になる。又、現状の  $Si$  選択成長技術では、酸化膜表面と、 $Si$  表面とで選択性を上げるためには、成長領域端でファセットが生じて図に示されたようなエアギャップが生じにくくなるというデメリットがある。従って、工程を極端に複雑にせず、ゲート電極と、ソース・ドレイン間のフリンジ容量を低減すべくエアギャップを形成することが必要であ

る。

【0009】一方、図4に示した後者の方法では、エッチングをゲート多結晶Si電極の縁の細い隙間、即ち、アスペクトレシオの高い領域に対して行わなければならない、制御性よくエアギャップ11Aを形成することは極めて困難である。

【0010】前述したように、回路の高性能化のためには、寄生容量を低減することが、必須である。但し、この低減の実現に素子の製造プロセスは複雑になっても、また、製造の際のプロセスウィンドーが狭くなってもいけない。従って、本発明の目的は、より簡便な方法で効果的に寄生容量を低減する為のエアギャップを制御性よく形成することのできる半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】第1の発明の半導体装置の製造方法は、半導体基板上にゲート酸化膜を介して多結晶シリコンからなるゲート電極を形成する工程と、このゲート電極を含む全面に第1の絶縁膜と第2の絶縁膜とを順次形成する工程と、前記第2及び第1の絶縁膜をエッチバックし前記ゲート電極の側面に第2及び第1のサイドウォールを形成する工程と、前記第1のサイドウォールの露出面を部分的にエッチングし溝を形成する工程と、全面に第3の絶縁膜を形成し前記溝部にエアギャップを形成する工程とを含むことを特徴とするものである。

【0012】第2の発明の半導体装置の製造方法は、半導体基板上にゲート酸化膜を介して多結晶シリコンからなるゲート電極を形成する工程と、このゲート電極を含む全面に第1の絶縁膜を形成する工程と、この第1の絶縁膜の表面を熱処理したのち全面に第2の絶縁膜を形成する工程と、前記第2及び第1の絶縁膜をエッチバックし前記ゲート電極の側面に第2及び第1のサイドウォールを形成する工程と、前記第1のサイドウォールの露出面を部分的にエッチングし溝を形成する工程と、全面に第3の絶縁膜を形成し前記溝部にエアギャップを形成する工程とを含むことを特徴とするものである。

【0013】本発明では、多層化されたサイドウォールとして、エッチングの際に選択比のある材料を用いること、ゲートのフリンジ容量を低減するには、ゲート端のみにエアギャップを形成すればよいことから、ゲート電極に接する部分に窒化シリコン膜、続いて酸化シリコン膜のような二重のサイドウォールを形成し、ゲート電極の側面のみに窒化シリコン膜が部分的に残るようにエッチングし、その後更に、通常の層間膜形成プロセスで用いられているような、堆積温度の低い条件で酸化シリコン膜を堆積することで、ゲート電極端部にエアギャップを形成する。

【0014】

【発明の実施の形態】次に本発明について図面を用いて

説明する。図1(a)～(d)は本発明の第1の実施の形態を説明する為の半導体チップの断面図であり、本発明をn型MOSFETに適用した場合である。p型のMOSFETに対しても同様に実施できる。

【0015】まず、図1(a)に示すように、p型シリコン(Si)基板1に素子分離領域2を形成した後、p型導電層のウェル及びしきい値を0.5V程度にするようp型のチャネル領域3を形成し、更に熱酸化方法によって厚さ5nmのゲート酸化膜4を形成する。更に、多結晶シリコン膜を200nmの厚さに化学的気相法(CVD法)によって堆積しパターニングしてゲート電極5を形成したのちLDD領域6を形成する。素子分離領域2は、基板Siを300～400nmほどエッチングし、CVD法によって酸化膜で埋め込み、更に、膜の平坦化のため化学的機械研磨(CMP)法を行うことで形成される。

【0016】ゲート電極用の多結晶Si膜のエッチングは、ゲート酸化膜4に対して選択比の十分取れる反応性イオンエッチングにて行われる。LDD領域6は、このn型MOSFETの場合、不純物としてヒ素(As)を例えば、注入エネルギー15keVでドーズ量を $1 \times 10^{14} \text{ cm}^{-2}$ の条件で、イオン注入法によって形成される。

【0017】次に図1(b)に示すように、CVD法によって窒化シリコン膜7を10～30nm堆積する。この後、酸素(又は $\text{N}_2\text{O}$ )雰囲気中で高温急峻酸化を行う。この工程は、後の工程であるCVD法による酸化膜の密着性をよくするため、常圧の酸素雰囲気中で1000℃、10秒ほど行う。密着性が問題にならない場合は、この工程を省略することができる。更に、CVD法によって酸化シリコン膜8を60～80nm堆積する。この酸化膜堆積はゲート電極5に対してカバレージをよくするため基板温度を700～800℃にて行われる。

【0018】次に図1(c)に示すように、酸化シリコン膜8と窒化シリコン膜7を等方性エッチング法によってエッチバックし、第1のサイドウォール7A及び第2のサイドウォール8Aを形成する。このエッチバックのエッチングはゲート電極5である多結晶Siの表面が露出するまで行われる。ついでこの構造に対してリン酸(液温約65℃程度)で窒化膜の第1のサイドウォール7Aの露出面が10～30nmエッチングされる分だけエッチングする。このエッチングによってゲート酸化膜端部の窒化シリコン膜及びゲート電極側壁上部の窒化シリコン膜のみがエッチングされ溝9が形成される。

【0019】次に図1(d)に示すように、この状態でソース・ドレイン領域である高濃度のn型拡散層6Aをイオン注入法によって形成する。イオン注入はAsを注入エネルギー50keVでドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 程度によって行われる。その後、不純物の活性化のため高温急峻熱処理(RTA)を窒素雰囲気中で1000℃、

10秒行うことで、 $n$ 型拡散層が形成される。ついで、酸化膜10を、CVD法により比較的低温（例えば基板温度400℃程度）で60～100nm堆積する。この酸化膜成長において、堆積温度を低くすることでカバレッジが悪くでき、ゲート酸化膜端部には酸化膜が堆積されず、エアギャップ11が形成される。

【0020】その後で、更に、平坦性のよい酸化膜（例えば、リンやボロンを含むBPSSGなど）をCVD法によって堆積し、コンタクト孔を開けて電極を形成する工程は従来の技術と同様である。尚、上記の実施の形態においては $n$ 型拡散層形成後すぐにカバレッジの悪い低温の酸化膜を堆積しているが、その前にゲート電極上及び $n$ 型拡散層上にシリサイドを形成する工程を行っても特に問題はない。

【0021】図2（a）～（d）は本発明の第2の実施の形態を説明する為の半導体チップの断面図である。

【0022】まず図2（a）に示すように、第1の実施の形態と同様に操作し、 $p$ 型 $Si$ 基板1に素子分離領域2を形成した後に、 $p$ 型導電層のウェル及びしきい値を0.5V程度にするよう $p$ 型のチャネル領域3を形成し、更に熱酸化方法によって厚さ5nmのゲート酸化膜4を形成し、更に、ゲート電極となる多結晶シリコン膜を200nmの厚さに化学的気相法（CVD法）によって堆積し、ゲート電極5とLDD領域6を形成する。素子分離領域2は、基板 $Si$ を300～400nmほどエッチングし、CVD法によって酸化膜で埋め込み、更に、膜の平坦化のため化学的機械的研磨（CMP）法を行うことで形成される。

【0023】ゲート電極用の多結晶 $Si$ のエッチングは、ゲート酸化膜4に対して選択比の十分取れる反応性イオンエッチングにて行われる。LDD領域6は、この $n$ 型MOSFETの場合、不純物としてヒ素（以下As）を例えば、注入エネルギー15keVでドーズ量を $1 \times 10^{14} \text{ cm}^{-2}$ の条件で、イオン注入法によって形成される。

【0024】この後、CVD法によって窒化膜7を10～30nm堆積する。この後、酸素雰囲気中で高温急峻酸化を行う。この工程は、後の工程であるCVD法による酸化膜の密着性をよくするため、常圧の酸素雰囲気中で1000℃、10秒ほど行う。続いて、CVD法によって酸化膜8を60～80nm堆積する。この酸化膜堆積はカバレッジをよくするため基板温度を700～800℃にて行われる。更に、サイドウォール形成のため等方性エッチング法によってエッチバックし、第1のサイドウォール7A及び第2のサイドウォール8Aを形成する。このエッチバックのエッチングは、ゲート電極5である多結晶 $Si$ の表面が露出するまで行われる。

【0025】次に図2（b）に示すように、リン酸（液温約65℃程度）で窒化膜の第1のサイドウォール7Aが10～30nmエッチングされる分だけエッチングす

る。このエッチングによってゲート酸化膜端部の窒化膜及びゲート電極側壁上部の窒化膜のみがエッチングされ溝9が形成される。

【0026】次に図2（c）に示すように、酸化膜10をCVD法で堆積する。この時、酸化膜10はゲート電極に対してカバレッジがあまりよくない条件、即ち、400℃程度の比較的低温で10～30nmほど形成する。その結果、先に部分的に窒化膜をエッチングした領域は、この酸化膜によって埋め戻されず、エアギャップ11を生じる。

【0027】次に図2（d）に示すように、再び、ゲート電極の多結晶シリコンが露出するまでエッチバックを行い、酸化膜からなる第3のサイドウォール10Aを形成する。

【0028】その後、ソース、ドレイン領域を形成するべく、イオン注入及び、その活性化は通常の工程と同様である。また、配線を形成する工程、即ち、平坦性のよい酸化膜（例えば、リンやボロンを含むBPSSGなど）をCVD法によって堆積し、コンタクト孔を開けて電極を形成する工程等は従来の技術と同様である。

【0029】この第2の実施の形態では、第1の実施の形態に比べて、酸化膜10のエッチバックの分工程が増える反面、ソース・ドレインの拡散層形成後に通常行われるシリサイド形成プロセスにおいて、エアギャップ領域が酸化膜10のサイドウォールによって覆われるので、トランジスタの信頼性は第1の実施の形態の場合より向上するという利点を持つ。

【0030】

【発明の効果】以上説明したように本発明によれば、選択 $Si$ 成長技術を用いることなく、又、アスペクトレシオの大きい領域のエッチングに頼ることなく、効果的に寄生容量を低減するエアギャップを制御性良く形成できる為、寄生容量の低減された半導体装置の製造方法が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明する為の半導体チップの断面図。

【図2】本発明の第2の実施の形態を説明する為の半導体チップの断面図。

【図3】従来の技術を説明する為の半導体チップの断面図。

【図4】他の従来の技術を説明する為の半導体チップの断面図。

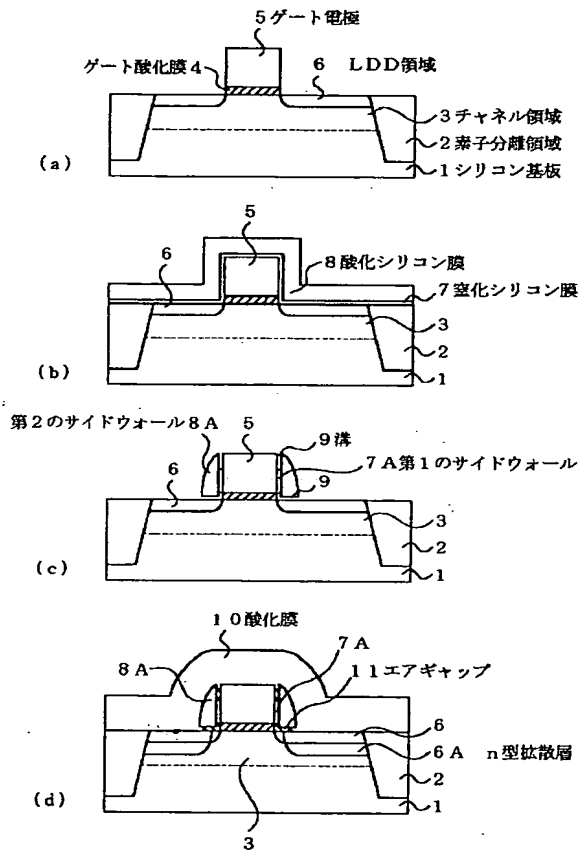
【符号の説明】

- 1 シリコン基板
- 2 素子分離領域
- 3 チャネル領域
- 4 ゲート酸化膜
- 5 ゲート電極
- 6 LDD領域

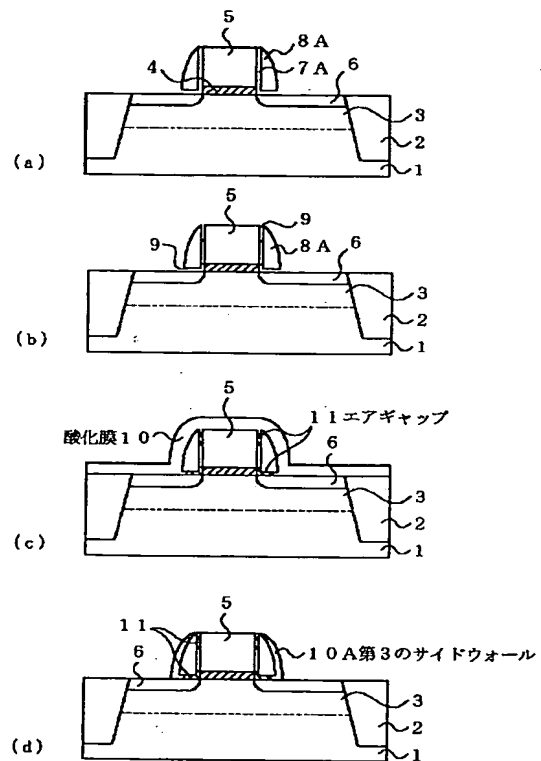
6 A n型拡散層  
 7, 17 窒化シリコン膜  
 7 A 第1のサイドウォール  
 8, 18 酸化シリコン膜  
 8 A 第2のサイドウォール  
 9 溝  
 10 酸化膜

10 A 第3のサイドウォール  
 11, 11 A エアギャップ  
 20 ゲート電極  
 30 ソース・ドレイン  
 40 真空  
 70 CVD酸化膜

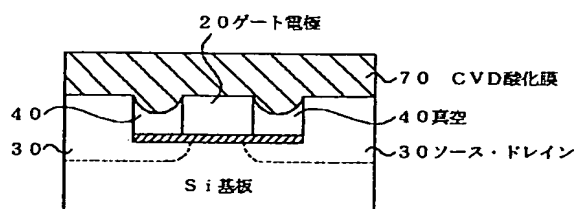
【図1】



【図2】



【図3】



【図 4】

